


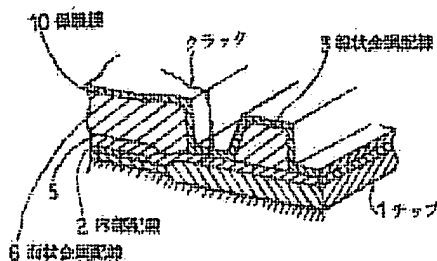
POWER SEMICONDUCTOR DEVICE

Patent number: JP10313010 (A)
Publication date: 1998-11-24
Inventor(s): OZOE SHOJI; OKABE YOSHIFUMI; FUKAZAWA TAKESHI +
Applicant(s): DENSO CORP +
Classification:
- international: H01L21/3205; H01L21/321; H01L21/60; H01L23/52; H01L29/78;
H01L21/02; H01L23/52; H01L29/66; (IPC1-7): H01L21/3205;
H01L21/321; H01L29/78
- european:
Application number: JP19970124017 19970514
Priority number(s): JP19970124017 19970514

Also published as:
 JP3593847 (B2)

Abstract of JP 10313010 (A)

PROBLEM TO BE SOLVED: To provide a power semiconductor device which can prevent reduction in its reliability, even when cracks are developed in a protective film formed on a chip. **SOLUTION:** Gate terminals of a multiplicity of MOS FET cells formed on a chip 1 are commonly connected to a gate aluminum wiring line 3 by means of a gate polysilicon wiring line 2, while source terminals thereof are commonly connected with each other by a source aluminum wiring line 6. A region for formation of the gate polysilicon wiring line 2 is set under a source aluminum electrode formation region. The chip 1 is mounted to a substrate by a flip chip bonding process, and resin is filled into a gap between the chip 1 and the substrate. With such a structure, a crack developed in a passivation film 10 for protection of the surface of the chip 1 from the periphery of a bump electrode tends to extend beyond the source aluminum wiring line 6 into a depth wise direction, but the crack will not reach the gate polysilicon wiring line 2.



Data supplied from the *espacenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-313010

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/321
21/3205
29/78H 0 1 L 21/92 6 0 2 L
21/88 T
21/92 6 0 2 Z
29/78 3 0 1 X

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平9-124017

(22) 出願日 平成9年(1997)5月14日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 尾添 祥司

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 岡部 好文

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 深沢 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

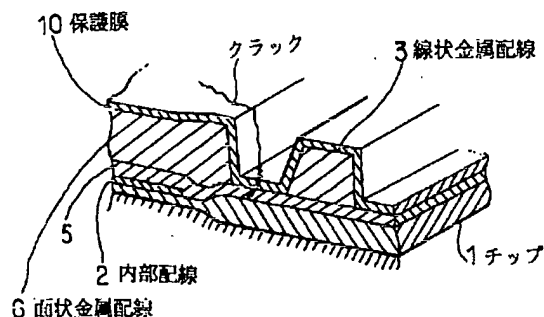
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 電力用半導体装置

(57) 【要約】

【課題】 チップ表面の保護膜にクラックを生じた場合であっても、信頼性が低下してしまうことを防止する。

【解決手段】 チップ1に形成された多数のMOS FETセルのゲート端子はゲートポリシリコン配線2によりゲートアルミニウム配線3に共通接続され、ソース端子はソースアルミニウム配線6により共通接続されている。ゲートポリシリコン配線2の形成領域は、ソースアルミニウム電極3の形成領域下方内に設定されている。チップ1は基板にフリップチップ実装されると共に、チップ1と基板との間に樹脂が充填される。このような構造のものでは、チップ1表面を保護するパッシベーション膜10においてパンプ電極の周囲から発生したクラックがソースアルミニウム配線6からはみ出して深さ方向に侵入することがあるものの、そのクラックがゲートポリシリコン配線2に到達することはない。



【特許請求の範囲】

【請求項1】 チップに形成された多数のMOS構造のトランジスタセルの電圧制御用端子を内部配線を介してコンタクト部でチップ上に形成された線状金属配線と共通接続し、各キャリア供給端子を上記内部配線の形成領域上方に絶縁状態で形成された面状金属配線と共通接続し、且つチップ表面を保護膜で被覆した構造の電力用半導体チップの少なくともチップ表面が樹脂により封止して構成される電力用半導体装置において、

前記内部配線の形成領域は、前記面状金属配線の形成領域下方内に設定され、

前記コンタクト部は、前記面状金属配線の形成領域下方外において前記保護膜のクラック発生予想部位から外れた部位に対応して形成され、

前記内部配線は、前記コンタクト部形成領域のみに延設されて前記線状金属配線と接続されていることを特徴とする電力用半導体装置。

【請求項2】 前記チップは、バンパ電極により基板に接続されていることを特徴とする請求項1記載の電力用半導体装置。

【請求項3】 前記コンタクト部は、チップ表面の面方向において前記面状金属配線と接続されたバンパ電極とチップ表面中心とを接続する直線に対して略45度傾いた方向から外れた部位に設定されていることを特徴とする請求項2記載の電力用半導体装置。

【請求項4】 前記線状金属配線の下方に肉厚な絶縁層を形成したことを特徴とする請求項1乃至3の何れかに記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力用半導体チップを基板に接続した状態で樹脂で固着した電力用半導体装置に関する。

【0002】

【従来の技術】この種の半導体チップとして、チップに形成した多数のMOS構造のFETセルを並列接続したパワーMOSFETが供給されている。このパワーMOSFETは、チップに形成した多数のMOS構造のFETセルのゲート端子をゲートポリシリコン等の内部配線によりチップ上に形成されたゲートアルミニウム電極と共通接続し、ソース端子を内部配線上に絶縁状態で形成された面状のソースアルミニウム電極と共通接続し、チップの裏面側に共通ドレイン電極を形成した構造となっており、ゲートアルミニウム電極に電圧を与えると、内部配線を介してFETセルのゲート端子に電圧が印加され、それに応じて各FETセルのソース電極から共通ドレイン電極にキャリア（電子）が供給されるようになっている。

【0003】

【発明が解決しようとする課題】近年、上述した構造の

パワーMOSFETを基板にフリップチップ実装することが行われている。このようなパワーMOSFETとしては、共通ドレイン電極をチップ表面側に設けるアップドレイン構造を採用した上で、チップ表面に位置する各電極にバンパ電極を接続して構成する。

【0004】図10は上述した構造のチップの平面を模式的に示したものである。この図10において、チップ1には多数のMOS構造のFETセル（図示せず）が形成されており、それらの各ゲート端子はゲートポリシリコン配線2（図面では全体の形成領域を示す）により共通接続された状態でチップ1表面に形成されたゲートアルミニウム配線3にコンタクト部4で接続されている

（図11参照）。また、各FETセルのソース端子はゲートポリシリコン配線2の形成領域上方に酸化シリコン層5（図11参照）を介して形成された面状のソースアルミニウム配線6と共通接続されている。そして、ゲートアルミニウム配線3にはゲートバンパ電極7が接続され、ソースアルミニウム配線6上には複数のソースバンパ電極8が接続され、チップ1表面に設けられた共通ドレイン端子（図示せず）にはドレインバンパ電極9が接続されている。

【0005】そして、チップ1表面全体はパッシベーション膜10（図11参照）で保護されている。以上のような構造のパワーMOSFETによれば、基板にフリップチップ実装することができるので、製造工数を簡単化することができる。

【0006】ところで、チップ1と基板との熱膨張率は異なることから、周囲温度の大きな変化の繰返しによりチップ1が熱膨張或いは収縮を繰返すと、チップ1とバンパ電極7～9との接合部位に大きな応力が集中し、バンパ電極7～9がチップ1から剥がれてしまつて製品の信頼性が失われてしまうという問題を生じる。

【0007】そこで、基板にフリップチップ実装されたチップ1の表面を樹脂により封止することにより、バンパ電極7～9がチップ1から剥がれてしまうという不具合を防止するようにしている。

【0008】しかしながら、チップ1のチップ表面を樹脂により封止した場合には、チップ1と樹脂との熱膨張率の差から周囲温度の大きな変化の繰返しにより図12に示すようにチップ1表面を保護するためのパッシベーション膜10においてソースバンパ電極8の周辺からクラックを生じることがある。この場合、クラックの発生位置がソースアルミニウム配線6上であるときは、大きな支障を生じることはいないものの、図13に示すようにクラックがソースアルミニウム配線6からはみ出して深さ方向に進行したときはゲートポリシリコン配線2まで到達することがあり、このような場合は、半導体装置の信頼性が大きく低下してしまう要因となる。このような不具合は、チップ1全体を樹脂で封止した場合であっても同様に生じることがある。

【0009】本発明は上記事情に鑑みてなされたもので、その目的は、多数のMOS構造のトランジスタセルが形成された電力用半導体チップの少なくともチップ表面を樹脂により封止した構成において、チップ表面の保護膜にクラックを生じた場合であっても、信頼性が低下してしまうことを防止できる電力用半導体装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1の発明によれば、半導体チップに形成されたMOS構造のトランジスタセルの電圧制御用端子に電圧を与えると、内部配線を通じて電圧制御用端子に電圧が印加されるので、それに応じてキャリア供給端子と共通キャリア吸収端子との間にチャネルが形成され、キャリア供給端子からキャリア吸収端子にキャリアが供給される。

【0011】ここで、半導体チップの表面が樹脂により封止された状態では、周囲温度の大きな変化の繰返しにより、チップ表面を保護する保護膜にクラックが発生し、そのクラックが面状金属配線からはみ出して深さ方向に進行することがある。

【0012】しかしながら、本発明では、電圧制御用端子を共通接続するための内部配線の形成領域は面状金属配線の形成領域下方内となるように設定されているので、クラックが内部配線に到達することはない。

【0013】また、内部配線と線状金属配線とを接続するためのコンタクト部はクラックの発生予想部位から外れた部位に対応して形成されていると共に、内部配線はコンタクト部形成領域のみに延設されて線状金属配線と接続されているので、クラックがコンタクト部に内部配線に延設された内部配線に到達することはない、製品の信頼性が低下することはない。

【0014】請求項2の発明によれば、チップ表面に設けられたバンプ電極を基板に接続する構成では、バンプ電極の周囲の保護膜からクラックが発生する傾向があることから、バンプ電極の周囲を避けてコンタクト部を設けることにより、クラックがコンタクト部まで延設された内部配線に到達することはない。

【0015】請求項3の発明によれば、チップ表面を保護するための保護膜に発生するクラックは、チップ表面の面方向において面状金属配線に接続されたバンプ電極とチップ表面中心とを接続する直線に対して略45度傾いた方向に発生する傾向があるので、斯様な方向を避けた位置にコンタクト部を設けることにより、コンタクト部が面状金属配線の形成領域の下方からはみ出して設けられているにしても、コンタクト部に接続された内部配線にクラックが到達してしまうことを防止できる。

【0016】請求項4の発明によれば、絶縁層の存在により線状金属配線に印加される電圧によりチップに寄生MOSが発生することを防止できる。

【0017】

【発明の実施の形態】

(第1実施例)以下、本発明をフリップチップタイプのパワーMOSFETに適用した第1実施例を図1乃至図8を参照して説明するに、従来技術と同一部分には同一符号を付して説明を省略し、異なる部分について説明する。

【0018】図3はフリップチップタイプのパワーMOSFETの構造を模式的に示している。この図3において、N⁺基板11上にはN⁻領域12が形成され、そのN⁻領域12においてMOSFETのセル形成領域に対応してP⁻領域13が形成されている。

【0019】P⁻領域13間にはV溝部14が形成され、P⁻領域13においてV溝部14の上部に隣接する部位にはN⁺領域からなるソース端子15(キャリア供給端子)が形成されている。

【0020】V溝部14にはゲートポリシリコン配線2(内部配線)が酸化シリコン層5によりチップ1から絶縁された状態で形成されており、そのゲートポリシリコン配線2においてソース端子15間に位置する部位がゲート端子(電圧制御用端子)に設定されている。

【0021】チップ1表面においてMOSFETのセル形成領域にはソースアルミニウム配線6(面状金属配線)が形成されており、これにより、ソースアルミニウム配線6とMOSFETのソース端子15とが電気的に接続されている。

【0022】MOSFETのセル形成領域を囲繞するようにP⁻領域16が形成され、そのP⁻領域16の上面に肉厚なフィールド酸化層17が形成されている。このフィールド酸化層17の表面には酸化シリコン層5が形成され、その酸化シリコン層5の表面にゲートアルミニウム配線3(線状金属配線)が形成されている。この場合、フィールド酸化層17の存在により、ゲートアルミニウム配線3に印加される電圧によりチップ1内に寄生MOSが発生してしまうことを防止できる。

【0023】N⁻領域12の所定領域には表面からN⁺基板11に到達するN⁺領域が形成されたアップドレイン構造となっており、斯様なアップドレイン構造の採用によりMOSFETの共通ドレイン端子18(共通キャリア吸収端子)がチップ1表面に形成されている。そして、チップ1表面全体はパッシベーション膜10(保護膜)により保護されている。

【0024】図2はチップ1の平面を模式的に示している。この図2が従来技術と異なる点は、ゲートポリシリコン配線2の形成領域はソースアルミニウム配線6の形成領域下方内に設定されていると共に(図5参照)、ゲートポリシリコン配線2はソースアルミニウム配線6の形成領域下方外に設けられた複数のコンタクト部19のみに延設されてチップ1表面に形成されたゲートアルミニウム配線3と接続されていることである(図6参照)。

【0025】この場合、コンタクト部19はソースバンプ電極8の中心とチップ1中心とを結ぶ線上に位置するように設定されている。換言すれば、チップ1表面の面方向においてソースバンプ電極8の中心とチップ1表面中心とを結ぶ直線に対して略45度傾いた方向から外れた方向となる位置にコンタクト部19が形成されている。

【0026】さて、上記構成のチップ1を図4に示すように基板20にフリップチップ実装すると共に、チップ1表面を樹脂21により封止することにより半導体装置を完成することができる。

【0027】ところで、以上のようにして完成された半導体装置にあつては、チップ1と樹脂21との熱膨張率の差から周囲温度の大きな変化の繰返しによりチップ1表面を保護するためのパッシベーション膜10において図7に示すようにソースバンプ電極8の周囲からクラックが発生し、そのクラックがソースアルミニウム配線6からはみ出して深さ方向に進行することがある。

【0028】しかしながら、本実施例においては、ゲートポリシリコン配線2の形成領域はソースアルミニウム配線6の形成領域下方内に設定されているので、クラックがチップ1内部に進行した場合であっても、図1に示すようにクラックがゲートポリシリコン配線2に到達することはない。

【0029】また、本実施例では、ゲートポリシリコン配線2とゲートアルミニウム配線3とを接続するコンタクト部4をソースアルミニウム配線6の形成領域下方外においてソースバンプ電極8に隣接して形成しているものの、ソースバンプ電極8の周辺から発生したクラックは、チップ1表面の面方向においてソースバンプ電極8の中心とチップ1表面中心とを結ぶ直線に対して略45度傾いた方向に発生する傾向を有することが実験結果から判明しているため、ゲートポリシリコン配線2とゲートアルミニウム配線3とを接続するコンタクト部19がソースバンプ電極8とチップ1中心とを接続する線上に設けられている本実施例では、クラックがコンタクト部19のゲートポリシリコン配線2に到達することはない。

【0030】尚、図8は、周囲温度の大きな変化の繰返しによりソースバンプ電極8の周囲に位置するパッシベーション膜10表面に生じる応力のFEM演算結果を示している。この場合、解析条件としては、温度変化を-40℃～150℃に設定して演算した。この応力解析から、ソースバンプ電極8に近くなる程大きな応力が発生すると共に、チップ1表面の面方向においてチップ1表面中心に対して45度傾いた方向に大きな応力が作用してクラックが発生し易いことを確認した。

【0031】上記構成によれば、チップ1に多数形成されたMOS構造のFETセルのゲート端子を共通接続するためのゲートポリシリコン配線2の形成領域をソース

端子を共通接続するためのソースアルミニウム配線6の形成領域下方内に設定するようにしたので、チップ1表面を保護するためのパッシベーション膜10においてソースバンプ電極8の周囲から発生したクラックがソースアルミニウム配線6の形成領域からはみ出して深さ方向に進行するにしても、クラックがゲートポリシリコン配線2に到達することはない。従って、クラックが深さ方向に進行してゲートポリシリコン配線まで到達する虞がある状態技術のものと違って、半導体装置の信頼性が低下してしまうことを防止できる。

【0032】また、コンタクト部19をクラックの発生予想部位から外れた位置に形成すると共に、ゲートポリシリコン配線2をコンタクト部19の形成領域のみに延設してゲートアルミニウム配線3と接続するようにしたので、コンタクト部19においてもクラックがゲートポリシリコン配線2に到達することはない。

【0033】さらに、ゲートアルミニウム配線3の下方にフィールド酸化層17を形成するようにしたので、ゲートアルミニウム配線3に印加される電圧により寄生MOSが発生してしまうことを防止できる。

【0034】(第2実施例)以下、本発明の第2実施例を図9を参照して説明するに、第1実施例と同一部分には同一符号を付して説明を省略し、異なる部分についてのみ説明する。この第2実施例は、本発明をフリップチップタイプのプレーナ形パワーMOSFETに適用した実施例を示している。

【0035】即ち、プレーナ形パワーMOSFETは、第1実施例のコンケーブ構造のパワーMOSFETと同様にアップドレイン構造を採用することにより共通ドレイン端子18をチップ1表面に形成することができるので、このような構造のパワーMOSFETにも本発明を適用することができる。

【0036】本発明は、上記各実施例に限定されるものではなく、次のように変形または拡張できる。バンプ電極により基板に接続する構成の半導体チップに代えて、ワイヤボンディングにより基板或いはリードフレームに接続してチップ全体を樹脂モールドする構成のものに適用するようにしてもよい。

【0037】半導体チップとしてIGBTに適用するようにしてもよい。この場合、エミッタがキャリア供給端子に相当し、コレクタがキャリア吸収端子に相当する。また、ゲートポリシリコン配線2に代えて、抵抗値の低いシリサイドを用いるようにしてもよい。

【図面の簡単な説明】

【図1】本発明の第1実施例におけるクラックの発生状態を示す要部の断面斜視図

【図2】各配線パターンを概略的に示すチップの平面図

【図3】チップを断面にして示す模式図

【図4】基板にフリップチップ実装されたチップを樹脂で固着した状態を概略的に示す縦断面図

【図5】要部の断面斜視図

【図6】コンタクト部の断面斜視図

【図7】クラックの発生状態を示す図2相当図

【図8】パッシベーション膜においてパンプ電極の周辺の応力分布を示す図

【図9】本発明の第2実施例を示す図2相当図

【図10】従来例を示す図2相当図

【図11】図5相当図

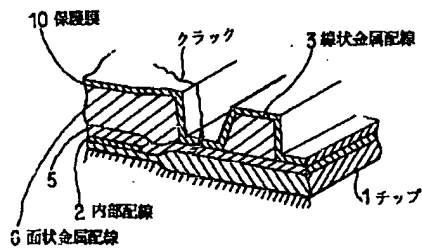
【図12】図7相当図

【図13】図1相当図

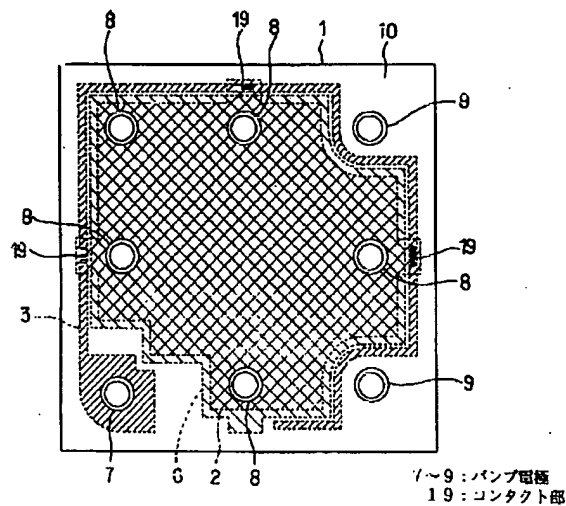
【符号の説明】

1はチップ、2はゲートポリシリコン配線（内部配線）、3はゲートアルミニウム配線（線状金属配線）、6はソースアルミニウム配線（面状金属配線）、7はゲートパンプ電極、8はソースパンプ電極、9はドレインパンプ電極、10はパッシベーション膜（保護膜）、15はソース端子（キャリア供給端子）、18は共通ドレイン端子（共通キャリア吸収端子）、19はコンタクト部、20は基板、21は樹脂である。

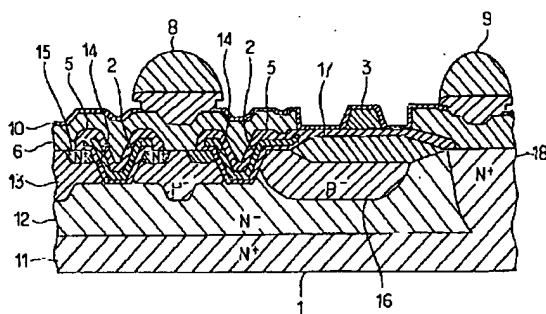
【図1】



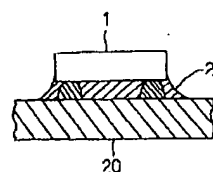
【図2】



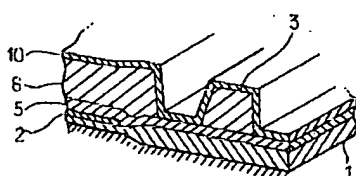
【図3】



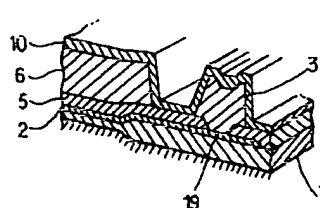
【図4】



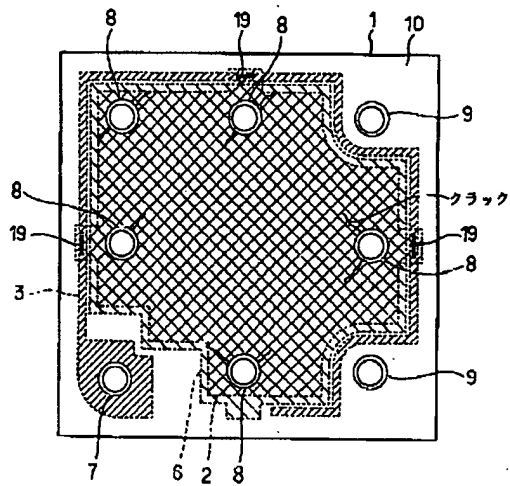
【図5】



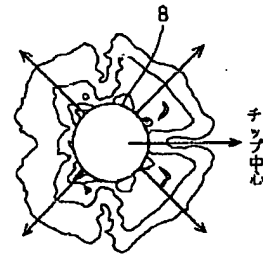
【図6】



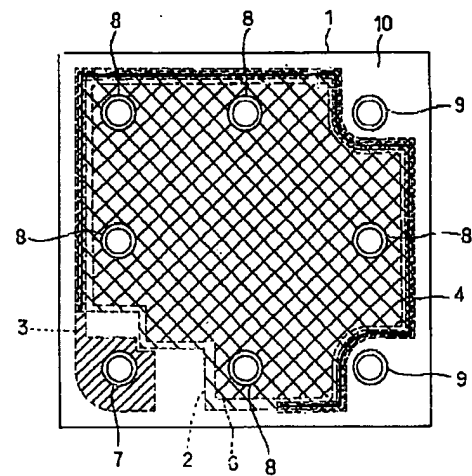
【図7】



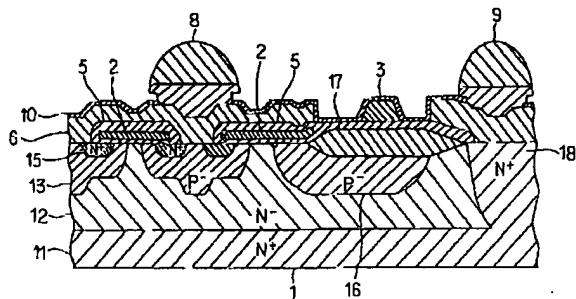
・【図8】



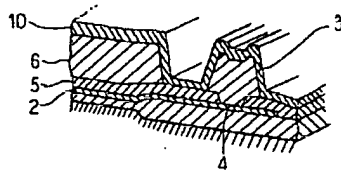
【图 10】



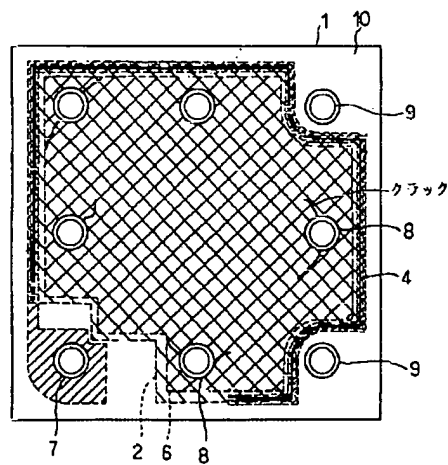
【図9】



【図 11】



【図12】



【図13】

